

## 〈4〉 チップレット集積技術の最新動向と我が国の強み

東京科学大学 総合研究院 特任教授 栗田 洋一郎

### 1. 半導体集積回路の歴史

19世紀のドイツ技術哲学者エルンスト・カッパは「ヒトが無意識に作り出すものはヒトの身体の投射となる」と言い、これを受けて養老孟司は「ヒトの作り出すものは、ヒトの脳の投射である」としている<sup>1</sup>。昨今急速な技術的進化を遂げるAI (Artificial Intelligence) は、両者の言う共通部分、つまりヒトの脳自体の投射にあたる。論理や数学がアイデアとして存在するののかの回答はおそらく科学の範疇にないが、少なくとも人間はそこに超越的な普遍性と価値を見出し、これを外部に投射することを積極的に行ってきた。現在の文明社会を支える殆どのコンピュータ（論理の概念を物質世界に投射したものは、数理論理学と密接な関係にある計算機科学におけるチューリングマシンという計算モデルをベースとしている。

チューリングマシンの工学的な実現には、論理・計算や記憶の機能の、様々な制約がある物理世界でのインプリメントが必要になる。これまでに、機械的な方式、電気機械的な方式、電子式、そして20世紀の量子物理学の発展に伴い、現在最も広く用いられている半導体素子であるトランジスタによる論理計算が発明された。ただ、高度な情報処理や論理演算機能を実現するためにはトランジスタを始めとし

た素子の大量集積と、これに対応した素子間の結線技術が必要である。これらはジャック・キルビーとロバート・ノイスらの発明による半導体集積回路(IC)として実現され(図1)、半導体素子の微細化によるご利益としてのデナード則、開発ロードマップとしてのムーアの法則により、シリコンチップ上に集積される素子の数はこの数十年にわたって指数関数的な増大を継続し(図2)、その集積規模の拡大は人間の情報に関わる機能を代替する機械として人類社会に大きな影響を与えてきた。

### 2. 微細化の限界

半導体集積回路技術における素子の微細化は大きな進化の原動力であったが、ここにきて従来から指摘されてきた課題が顕在化しつつある(図3)。

一方で、半導体素子の微細化には物質世界であることによる制約が伴う。つまり、半導体としての電気的特性の発現のためには原子の周期構造(結晶構造)が必要になるが、微細化によりこれを構成する原子は次第に少なくなりつつある。一方で、チップのサイズを拡大すれば集積する素子の数は拡大ができるものの、素子製造に必要な単結晶シリコンウェハのサイズには製造・経済的限界がある。以上は単一チップ上への素子集積規模拡大に伴う課題であ

<sup>1</sup> 養老孟司、「唯脳論」、ちくま学芸文庫

# Semiconductor Integrated Circuit (IC)

Invention of transistors and their integration technology

## Evolution of switching devices and invention of transistors

- Mechanical, Relays, Vacuum tube, Transistor
- Wired by jumper line



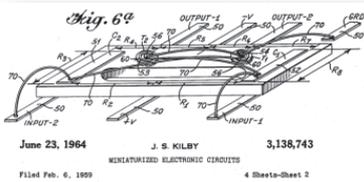
<https://ja.wikipedia.org/wiki/%E3%83%81%E3%83%A5%E3%83%BC%E3%83%AA%E3%83%B3%E3%82%B0%E3%83%9E%E3%82%B7%E3%83%B3>

<https://ja.wikipedia.org/wiki/ENIAC>

<http://www.shmj.or.jp/museum2010/exhibi304.htm>

## Invention of IC by Jack Kilby

- Transistors are monolithically integrated
- Wired by jumper line

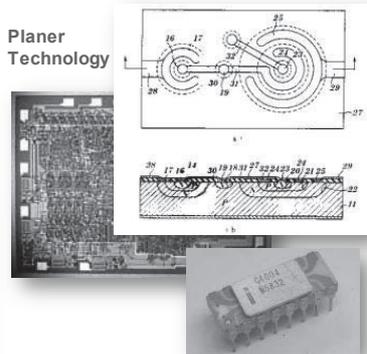


[https://www.sanosemi.com/history\\_of\\_Kirby01.htm](https://www.sanosemi.com/history_of_Kirby01.htm)

## Invention of IC by Robert Noyce

- Monolithic integration of transistors and interconnections

### Planer Technology

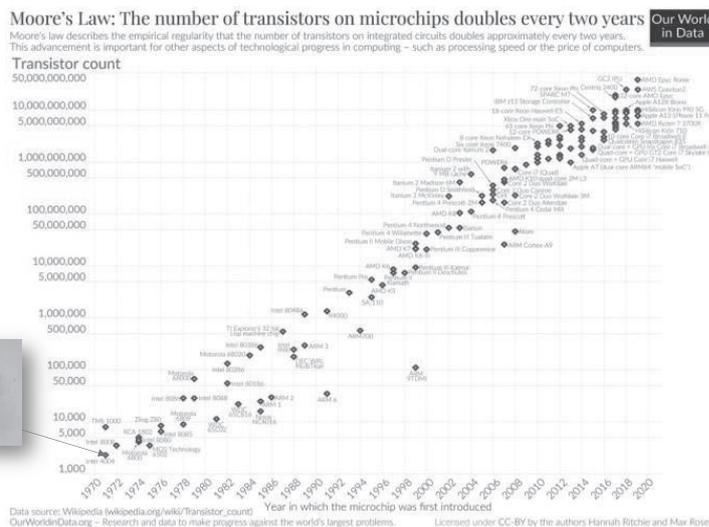


<https://www.cqpub.co.jp/interface/toku/2003/200310/toku2.htm>

図1 半導体集積回路

# Moore's Law: Miniaturization of Integrated Circuits

Roadmap of human expectations/desires, not natural law



<https://ja.wikipedia.org/wiki/%E3%83%A0%E3%83%BC%E3%82%A2%E3%81%AE%E6%B3%95%E5%89%87>

図2 集積回路の微細化

る。

また、別の側面からは、以下のような課題がある。半導体集積回路技術では基本的に、フォトリソグラフィ技術を用いて、大量の素子を平面(半導体ウェハ)上に一括でビルドアップ形成する(3Dプリンターのように)という特質上、異なる垂直方向の立体構造を形成するのが難しい。一方でチューリング

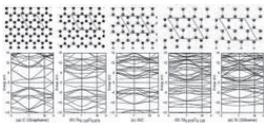
マシン(より具体的にはノイマン型コンピュータ)には演算・制御といった論理演算や、記憶、入出力といった、異なる機能とそれに対する最適構造が期待される素子が要求される。これらを同一の半導体ウェハ上に一括で形成する事は、特に微細化が進むと製造上困難を極める。

この場合、異なるウェハ、製造プロセスで製造し

## Limitations of Semiconductor IC Technology

Moore's Law slowdown, scalability limits, hetero-integration and Neumann bottlenecks

- ✓ **Atom size**



Requires a certain amount of atomic assembly (band formation) to achieve semiconductor/conductor/insulator properties

<https://www2.metro-cit.ac.jp/~tatsuo/>

Not shrink
- ✓ **Single crystal semiconductor wafer size**



Limits to the size of single crystal growth/device that can be produced

<https://jp.techcrunch.com/2019/08/21/2019-08-19-the-five-technical-challenges-cerebras-overcame-in-building-the-first-trillion-transistor-chip//>

Not expand
- ✓ **Different device structures for different functions**



Incompatibility with photolithography processes, which excel at batch planar/identical vertical structures

<https://www.ferrotec.co.jp/semiconductor/semiconductor1.php>

Not on single chip/wafer
- ✓ **Increasing Inter-chip data transfer rate (limitation of conventional packaging technology)**



Chip-to-chip interconnect technology bottlenecks (e.g., between memory/ processor)

<https://sesera231.com/archives/4668>

This is the core issue

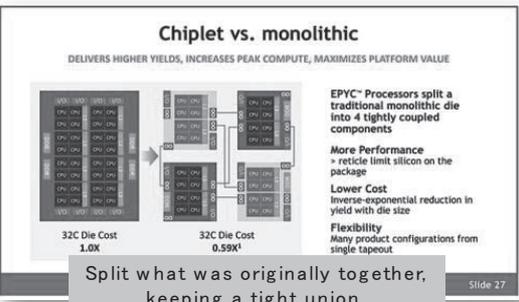
図3 半導体集積回路の限界

## Motivation for Chiplet Integration Technology

Institute of SCIENCE TOKYO  
Chiplet Integration Platform Consortium 5

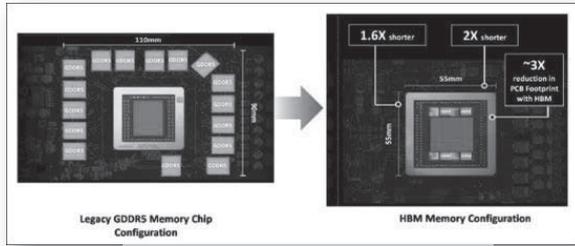
Scalable integration of functionally optimized chiplets while maintaining connectivity

**Die Partitioning / Die Split**



<https://hacarus.com/ja/ai-lab/20210618-chiplette/>

**High Bandwidth Memory**



Tightly couples components that were originally far apart

Greg Yeric, arm community, "Three Dimensions in 3DIC - Part I", April 2, 2018

- ✓ Manufacturing at optimal node/ process for each function (performance and cost)
- ✓ Prevention of yield loss due to large area of single chip
- ✓ Realization of transistor count beyond reticle size
- ✓ Chiplet reuse, expansion of product lineup (Lego blocks)
- ✓ Elimination of the von Neumann Bottleneck
- ✓ Performance improvement, low power consumption, miniaturization

図4 チップレット集積技術のモチベーション

たチップ（チップレット）を組み合わせることが最も有望な解決策となると考えられる。ところが、チップを組み合わせ、接続しようとするに従来の技術を利用しようとした時点で生じるのは、チップ間の配線接続密度（密接な情報伝達的能力）の、一つのチップ上に集積した場合に比較した大幅な低下である。

以上のような課題を解決することを目的として、様々な種類のチップレット間を、タイトかつフレキシブルに集積する技術が期待を集め始めている。これらの期待の駆動力になってより実際的なモチベーションは、大きく2つに分けられる。1つは前述の素子集積規模拡大と異種素子の集積（ヘテロ集積と